

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-333232

(43)Date of publication of application : 22.12.1995

(51)Int.Cl.

G01N 37/00

G01B 21/30

H01J 37/28

(21)Application number : 06-130151

(71)Applicant : CANON INC

(22)Date of filing : 13.06.1994

(72)Inventor : YAGI TAKAYUKI

FUSHIMI MASAHIRO

SHIMADA YASUHIRO

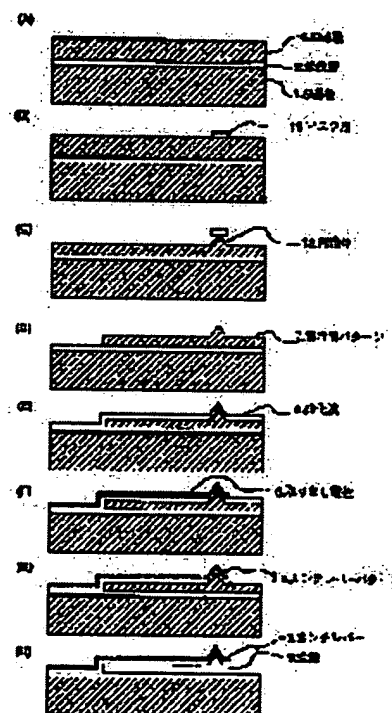
## (54) FORMATION OF CANTILEVER HAVING PROBE

### (57)Abstract:

**PURPOSE:** To keep resonance frequency high and to enhance production yield by forming a probe pattern on an, SOT substrate at a predetermined position and forming a cantilever pattern as a silicon oxide film and removing the Si membrane of a non-oxidized part.

**CONSTITUTION:** An Si substrate 1 and an SOI substrate consisting of an insulating layer 2 composed of a silicon oxide film and an Si membrane 6 are used and, at first, a mask layer 11 is formed on the membrane 6 and, thereafter, a conical body 12 becoming a probe pattern is formed and further formed into a sacrifice layer pattern 7 by a semiconductor photolithography process.

This pattern 7 is oxidized to form an oxide film 8 becoming a cantilever 3 and a taking-out electrode 5 is formed thereon by an electron beam vapor deposition method. Next, an oxide film 8 is patterned to form a cantilever pattern 3a and the pattern 7 is subjected to plasma etching to form a gap 9. The cavitation of a probe realizes low mass and resonance frequency can be enhanced and the yield at the time of the removal of a sacrifice layer can be enhanced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-333232

(43)公開日 平成7年(1995)12月22日

(51)IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 N 37/00	A			
G 0 1 B 21/30	Z			
H 0 1 J 37/28	Z			

審査請求 未請求 請求項の数9 OL (全 9 頁)

(21)出願番号 特願平6-130151

(22)出願日 平成6年(1994)6月13日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 八木 隆行

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 伏見 正弘

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 島田 康弘

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

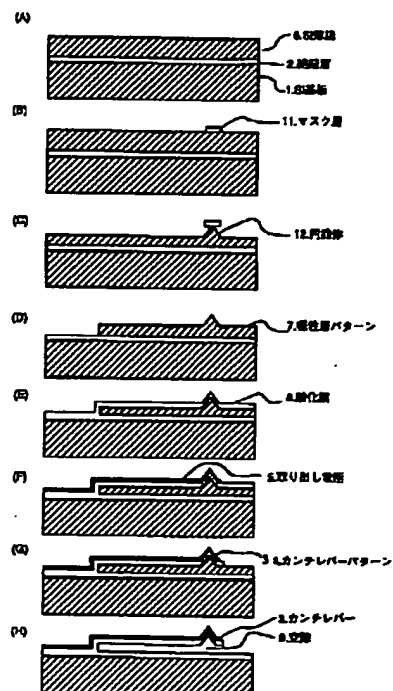
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 探針を有するカンチレバーの形成方法

(57)【要約】

【目的】 (1) 機械的共振周波数を高く保つ、(2) S i 基板上に形成したトランジスタ等の電気回路と集積化が可能な、(3) 生産歩留りの高い、探針を有するカンチレバーの形成方法を提供する。

【構成】 S i 単結晶から成るウェハ上に酸化膜が形成され該酸化膜上に単結晶から成るS i 薄膜が形成されて成るS O I 基板を用い、少なくとも(a) S i 薄膜表面を酸化してシリコン酸化膜としてカンチレバーパターンを形成する工程および(b) 所定の位置に探針パターンを形成する工程を行い、次に酸化されていない部分のS i 薄膜を除去して探針を有するカンチレバーを形成する。



## 【特許請求の範囲】

【請求項1】 S i 単結晶から成るウェハ上に酸化膜が形成され該酸化膜上に単結晶から成るS i 薄膜が形成されて成るS O I 基板を用い、少なくとも下記の(a)および(b)の工程を行って、次に酸化されていない部分のS i 薄膜を除去する、探針を有するカンチレバーの形成方法。

(a) S i 薄膜表面を酸化してシリコン酸化膜としてカンチレバーパターンを形成する工程

(b) 所定の位置に探針パターンを形成する工程

【請求項2】 (b) 工程の後に(a)工程を行う請求項1記載の方法。

【請求項3】 (a) 工程の後に(b)工程を行う請求項1記載の方法。

【請求項4】 (b) 工程が、カンチレバーパターン上にオリフィスを設けたマスク層を形成し、探針形成材料を蒸着した後にマスク層を除去する工程である請求項3記載の方法。

【請求項5】 カンチレバーパターン形成後に、該パターン上に導電体薄膜を成膜し、配線電極を該導電体薄膜にパターンニングする工程を行う請求項1ないし4のいずれか1項に記載の方法。

【請求項6】 S i 薄膜除去を、プラズマエッチングによって行う請求項1ないし5のいずれか1項に記載の方法。

【請求項7】 プラズマエッチングをS F<sub>6</sub>およびN F<sub>3</sub>のうち少なくとも1つを主成分とするガスによって行う請求項6記載の方法。

【請求項8】 S O I 基板が、S i 薄膜にトランジスタが形成されたものである請求項1ないし7のいずれか1項に記載の方法。

【請求項9】 S O I 基板が、酸化膜を有する第一のS i ウェハと第二のS i ウェハを加熱して接合し、その2つのウェハのいずれか一方を薄膜化して得られたものである請求項1ないし8のいずれか1項に記載の方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、マイクロメカニクス技術を用いて作製するカンチレバー、特にSTM (Scanning Tunneling Microscope)、AFM (Atomic Tunneling Microscope) などのマイクロスコプシステムとして用いる集積化が可能な探針を有するカンチレバーの作製方法に関する。

## 【0002】

【従来の技術】近年、小型の可動機構を有する微小機械がマイクロメカニクス技術により検討されている。特に、半導体集積回路形成技術(半導体フォトリソグラフィプロセス)を用いて形成するマイクロ構造体は、基板上に複数の小型で作製再現性の高い微小な機械部品を作製することが可能である。このため、アレイ化、低コス

ト化が比較的容易となり、かつ小型化により従来の機械式構造体に比べて高速応答性が期待できる。また、S i ウェハを用いることにより、電子回路と微小機械を集積化できる。

【0003】これらの特徴により、STM、AFMなどのトンネル電流、ファン・デル・ワールス力、磁力、静電力等を検出するマイクロスコプシステムに用いる探針付きのカンチレバーの検討がなされ、様々な提案が行われている。その1例として、U. T. Duerigらにより提案された記憶ユニットにおけるカンチレバー("Direct access storage unit using tunneling current techniques", U.S. Patent Number 4,831,614)がある。

【0004】このようなカンチレバーは、例えばK. E. Petersenによる"Dynamic Micromechanics Silicon: Techniques and Devices" (IEEE Trans. El. Dev., Vol. ED 25, No. 10, 1978, pp1241-1250)に記載の方法によって作製される。その作製方法は、S i 基板上にシリコン酸化膜と電極からなるカンチレバーパターンを形成し、アルカリ水溶液による異方性エッチングによりカンチレバーパターンの下部を除去する。その探針付きのカンチレバーはS i 基板上のトランジスタと集積化することも可能である(W. D. Pohl, "Distance-controlled tunneling transducer", U.S. Patent Number 5,043,577)。

【0005】このような探針付きカンチレバーに要求される条件として、機械的共振周波数が高いこと、Q値が高いことなどがある。これらの条件を満たすことで、検出速度(image tracking speed)を上げることができるとともに、測定環境から発生する振動によるノイズを実質的に低減でき、検出感度を上げることが可能となる。

【0006】そのためには、探針付きカンチレバーのパネ定数を上げるとともに、探針およびカンチレバーの質量を小さくすれば良い。また、高いQ値を得るには、カンチレバーをアモルファスまたは単結晶の薄膜、例えばシリコン熱酸化膜、シリコン窒化膜、単結晶S i 等により形成することが望ましい。

## 【0007】

【発明が解決しようとする課題】しかしながら、マイクロスコプシステムにおいては、パネ定数をあまり上げることではできない。それは、カンチレバーの微小変化を検出する場合には、パネ定数を下げることににより検出感度を上げることができ、または米国特許4,831,614号明細書に示されたような変位をさせる場合には、パネ定数を下げることで印加電圧を下げるができるためである。従って、パネ定数の設定は0.01~100N/m程度の範囲とすることが好ましい。

【0008】従って、探針およびカンチレバーの質量を小さくする、すなわち微小かつ低密度の材料によって形成することで検出感度および検出速度を向上させる方法が取られる。

【0009】検出感度を高めるため、探針はカンチレバ

一の自由端に設けてある。カンチレバー自由端に重り(探針)を持つものの共振周波数 $f_r$ は以下の式(1)で表わされる(K. E. Petersen, IEEE Trans. El. De \*

$$f_r = (3EI / (M + 0.23m))^{0.5} / 2\pi \dots (1)$$

式中、EIはカンチレバーの断面2次モーメント、Mは探針の質量、mはカンチレバーの質量である。

【0011】式(1)より、共振周波数は探針の質量に大きく依存するため、探針の質量を小さくすることが検出感度、検出速度を高める上で重要となる。

【0012】そのような条件を満たすカンチレバーの形成方法として、T. R. Albrechtら(Method of forming microfabricated cantilever stylus with integrated pyramidal tip", U.S. Patent Number 5,221,415)により、Si基板上に形成したシリコン窒化膜等からなる探針を有するカンチレバーパターンをガラスに接合して、Si基板を除去してカンチレバーとする製法が提案されている。

【0013】しかしながら、この米国特許5,221,415号明細書に記載の方法では、ガラスと陽極接合を行う必要があることから、材料としては酸化物を形成する導電性のSi、Al、Ti、Ni等、または薄膜においてのみ陽極接合可能なシリコン窒化膜、シリコン酸化膜等の材料に限定される。

【0014】また、陽極接合時の接合温度が300℃以上であり、熱応力の歪みによる基板の破損を回避するためには、ガラスはSi基板とほぼ等しい熱膨張係数を持っているパイレックスガラス；商品名7740 Corningなどのガラスに限定され、回路を集積可能なSi基板を用いることができない。

【0015】さらに、陽極接合にてガラスと導電性材料を接合する場合、ガラスおよび導電性材料の表面粗さを500Å以下に抑え、平滑な基板平面同士を接合する必要があることから、基板面上にカンチレバーを形成しなければならない。

【0016】さらに、電極はカンチレバーを形成した後、基板面に全面に真空蒸着することになり、カンチレバー上にパターン形成ができず、静電アクチュエータを作製する場合に必要な駆動電極などを形成することができない。

【0017】米国特許4,831,614号明細書に記載の方法では、探針付きのカンチレバーとトランジスタをSi基板の同一面上に集積している。一般的な半導体フォトリソグラフィプロセスにより形成されるトランジスタを有するSi基板では、Si基板面上に酸化膜、層間絶縁膜、Al配線電極、パッシベーション膜などが積層され、それらの層の全厚みは基板面に対して3~5μm程度となる。従って、この米国特許4,831,614号明細書に示された基板面に形成されたカンチレバーでは、探針が媒体に接近するために探針の高さとして少なくとも5μm以上が必要となる。

\*v., Vol. ED25, No.10, 1978, p.1247参照)。

【0010】

【数1】

【0018】さらに、媒体表面凹凸および媒体を有する基板の反り、ならびにカンチレバーを形成した基板の反りなどを考慮すると、探針をさらに高くする必要がある。

【0019】例えば、円錐体の探針をタングステンにより数μm形成すると、探針の質量がカンチレバーの質量を上回る。探針を高くするに伴い、式(1)の共振周波数は低下することとなる。そのため、集積化によりトランジスタ膜厚分の探針高さが余分に必要となり、検出速度および検出感度を落すことになる。

【0020】また、米国特許4,831,614号明細書では、ウェットエッチングによる異方性エッチングで空隙を形成することにより、カンチレバーの長さを再現性良く作製することができるようになる。しかし、ウェットエッチングではカンチレバーのような薄膜構造体は基板に張り付き(sticking)やすく、生産歩留りの低下を招く。

【0021】このような問題点に鑑みて、本発明は、(1)機械的共振周波数を高く保つ、(2)Si基板上に形成したトランジスタ等の電気回路と集積化が可能な、(3)生産歩留りの高い探針を有するカンチレバーの形成方法を提供することを目的とする。

【0022】

【課題を解決するための手段】上記の目的を達成するために、本発明は、Si単結晶から成るウェハ上に酸化膜が形成され該酸化膜上に単結晶から成るSi薄膜が形成されて成るSOI基板を用い、少なくとも下記の(a)および(b)の工程を行って、次に酸化されていない部分のSi薄膜を除去する探針を有するカンチレバーの形成方法。

【0023】(a)Si薄膜表面を酸化してシリコン酸化膜としてカンチレバーパターンを形成する工程

(b)所定の位置に探針パターンを形成する工程

本発明は、SOI基板におけるSi薄膜を犠牲層とし、Si薄膜を酸化した酸化膜をカンチレバーパターンとして用いることによって、Si基板に形成した半導体集積回路の層厚以上の高さに、Si薄膜の犠牲層厚みにより、カンチレバーを形成することが可能となる。これにより、探針の高さを低くでき、探針の質量による共振周波数の低下を抑えることが可能となる。また、カンチレバーはSiを酸化することにより形成されたシリコン酸化膜よりなるために低密度であり、Q値を高くでき、真空蒸着等の方法により作製したカンチレバーに比べて薄膜形成過程に生じる真応力(intrinsic stress)が少なくカンチレバーの反りがほぼないものとなる。

【0024】SOI基板は、第1のSi単結晶からなるウェハ上に酸化膜を介して接合した第2のSi単結晶が

5

らなるウェハを薄膜化したS1薄膜が形成してなるものである。第1のS1ウェハにトランジスタが形成されていてもよい。

【0025】探針およびカンチレバーを形成する工程は、S1薄膜の一部を除去した後に、S1薄膜を酸化ガスを用いて酸化し、シリコン酸化膜を形成し、その酸化膜にフォトリソグラフィプロセスにより酸化膜からなるカンチレバーパターンを形成し、探針を形成する。探針は、カンチレバーパターン上にスピント (Spindt) らにより提案された方法 (C. A. Spindt et al, "Physical properties of thin film field emission cathode with molybdenum cones", J. Appl. Phys., 47, 1976, pp5248-5263) を用いて作製する。これはカンチレバーパターン上に探針形成後除去する層を形成し、さらにオリフィスを設けたマスク層を形成し、次いで、オリフィスを通じてオリフィス下部の前記除去する層をエッチングし、アンダーカットされたホールを形成した後、探針を形成する材料を薄膜形成方法を用いて蒸着し、除去する層とマスク層を除去することによって形成する。さらに詳しくは、実施例を用いて説明する。前記探針形成材料としては、S1薄膜を除去する際にエッチングされない材料であれば良く、例えばAu、Pt等が用いられる。その方法にて配線電極をカンチレバー上に形成する場合、探針を形成する前に行う。

【0026】他の探針を形成する方法としては、S1薄膜上に探針パターンを形成し、水酸化カリウム水溶液 (KOH)、水酸化テトラメチルアンモニウム水溶液 (TMAH) などのアルカリ水溶液によってエッチングし、探針形成のパターンをS1薄膜に形成する。次に、S1薄膜の一部を除去した後に、酸化シリコン酸化膜を形成し、フォトリソグラフィプロセスにより探針およびカンチレバーのパターンを同時に形成することが可能となる。

【0027】探針によりトンネル電流を検出する場合には、カンチレバー上に導電体薄膜を成膜し、パターンニングすることにより、配線電極を形成する。さらに、カンチレバーを静電力により変位させる場合には、前記導電体薄膜の一部に駆動電極のパターンを形成する。

【0028】S1薄膜を除去する工程は、上記工程により形成した探針およびカンチレバー下部の犠牲層となるS1薄膜をエッチング除去する工程である。ウェットエッチングでは、S1を選択的にエッチングするエッチング液を用いる。前記アルカリ水溶液は酸化膜がエッチングされにくく、エッチング液としてより好ましい。さらに好ましいエッチング方法はドライエッチングであり、ウェットエッチングによる犠牲層除去の際に問題となる張り付き (sticking) を回避することができる。

【0029】反応性ガスとしては、CF<sub>4</sub>、SF<sub>6</sub>、NF<sub>3</sub>、CCl<sub>4</sub>、CCl<sub>2</sub>F<sub>2</sub>などのガスを用いてプラズマエッチングにて除去を行う。特に、SF<sub>6</sub>、NF<sub>3</sub>は酸化膜

6

とS1とのエッチング選択性が高く、またエッチング速度も早いことから、より好ましい。

【0030】すなわち、SOI基板におけるS1薄膜を犠牲層とし、S1薄膜を酸化した酸化膜 (カンチレバーパターン) をカンチレバーとして用いることにより、S1基板に形成した半導体集積回路膜の層厚み以上の高さにカンチレバーを形成することが可能となる。これにより、探針の高さを低くでき、探針の質量による共振周波数の低下を抑えることが可能となる。

10 【0031】また、カンチレバーはS1を酸化することにより形成したシリコン酸化膜よりなるため、Q値を高くでき、真空蒸着などの方法により作製したカンチレバーに比べて薄膜形成過程に生じる真応力 (intrinsic stress) が少なく、カンチレバーの反りがほぼないものとなる。

【0032】さらに、カンチレバーはSOI基板のS1薄膜を熱酸化して形成した酸化膜よりなるため、カンチレバーの支持端と絶縁層との間に接合界面はなく、一体化された酸化膜となり、機械的強度が高い。

20 【0033】以上のように、本発明の方法では、S1単結晶からなるウェハ上に酸化膜を介して接合した単結晶から成るS1薄膜が形成されてなるSOI基板を用いて、探針と前記S1薄膜を酸化したシリコン酸化膜からなるカンチレバーパターンを形成し、酸化されていない前記S1薄膜を除去することによりカンチレバーを形成する。

【0034】従って、空隙を介してカンチレバーをS1基板面より高い位置に形成することができ、探針の高さを低くすることができることから、機械的共振周波数を高く保つことが可能となる。また、SOI基板に用いたS1基板上にトランジスタを形成することにより、半導体集積回路の集積化が可能となる。

【0035】さらに、S1薄膜を犠牲層として用い、それをプラズマエッチングによって除去することで、カンチレバーの張り付きを回避することができる。

【0036】

【実施例】次に、本発明の探針を有するカンチレバーの形成方法を図面を参照しながら実施例を用いて具体的に説明する。

40 【0037】(実施例1) 図1は本発明の探針を有するカンチレバーの形成方法の1例を示す工程図であり、図2はそれを用いて作製した探針を有するカンチレバーの斜視図である。

【0038】図2において、1はS1基板、2はS1薄膜を酸化して形成したシリコン酸化膜からなる絶縁層、3は酸化膜からなるカンチレバー、4は探針、5は取り出し電極である。絶縁層2はSOI基板の絶縁層から成り、カンチレバーはSOI基板のS1薄膜を熱酸化して形成した酸化膜から成るために、カンチレバー3の支持端と絶縁層2との間に接合界面はなく、一体化された膜

となっている。

【0039】図1を用いて、図2に示すカンチレバーの形成手順を説明する（図1の各図は図2のA-A断面についてのものである）。

【0040】このカンチレバー形成工程に用いるSOI基板は、S1基板1、シリコン酸化膜より成る絶縁層2およびS1薄膜6より成る（図1（A））。

【0041】このSOI基板のS1薄膜6上に探針形成するためのS1の円錐体を形成した（図1（B）および（C））。S1円錐体の形成は、O. Wolterら（"Micromachined Silicon sensors for scanning force microscopy", J. Vac. Sci. Technol. B, Vol. 9, 1991, pp1354-1357）に記載されているS1から成る探針形成方法に準じて行った。これは、（100）面のS1薄膜6上に低圧CVD法（LPCVD）をもちいてシリコン窒化膜を形成し、半導体フォトリソグラフィプロセスを用いてパターン形成し、図1（B）に示すシリコン窒化膜から成るマスク層11を形成した後、30% KOH水溶液により図1（C）の探針パターンとなる円錐体12を形成したものである。

【0042】次に、円錐体を形成したS1薄膜を半導体フォトリソグラフィプロセスによりパターンニングして犠牲層パターン7を形成した（図1（D））。

【0043】次に、酸化炉で、酸素または酸素・水素などの酸化ガスによって、前記基板の犠牲層パターン7を酸化して、カンチレバーとなる酸化膜8（カンチレバーパターン）を形成した（図1（E））。これにより、酸化膜8は絶縁層2と連続した膜として形成された。

【0044】この酸化膜8上に真空蒸着法の一つである電子ビーム蒸着法によって同一の真空雰囲気下で連続してCr50nmとPt100nmを成膜し、フォトリソグラフィプロセスにてパターンニングして、取り出し電極を形成した（図1（F））。

【0045】その後、酸化膜8をフォトリソグラフィプロセスにてパターンニングして、カンチレバーパターン3aを形成し（図1（G））、次いでSF<sub>6</sub>ガスを用いたプラズマエッチングによりS1から成る犠牲層パターン7をドライエッチングして空隙9を形成した（図1（H））。

【0046】以上の工程によって、図2のシリコン酸化膜から成る探針を有したカンチレバー3を形成した。

【0047】このカンチレバーの探針部分は、酸化膜上にCrとPtが積層されており、探針内部は空洞となっていて、低質量が実現されており、従って共振周波数が高く、しかもシリコン酸化膜で形成されていることからQ値が高い。また、ドライエッチングにより取り出し電極がエッチングされることがなく、かつウェットエッチングによる犠牲層除去の際に問題となる張り付きは生じなかった。

【0048】また、本実施例においては、酸化されな

ったS1薄膜の除去はドライエッチングによって行っているが、KOH水溶液を用いてエッチングしてカンチレバーを作製することも可能であることは言うまでもない。

【0049】（実施例2）図3、4および5は、その順序で本発明の探針を有するカンチレバーの形成方法の別の例を示す工程図である。

【0050】図6はその工程によって作製した探針を有する静電カンチレバーから成るSTMプローブの斜視図である。

【0051】図6において、21はS1基板、22はSOI基板における絶縁層、23はS1薄膜を酸化し形成したシリコン酸化膜より成る絶縁層、24はスピントラによって提案された方法を用いて作製した探針、25は探針24と観察する試料表面（不図示）の間に生じるトンネル電流を取り出す取り出し電極、30は探針24と試料の間隔を調整するためにカンチレバー上に形成した駆動電極である。

【0052】S1基板21と駆動電極30の間に駆動電源41により電圧を印加することにより、カンチレバーを静電力によって変位させる。図6には図示していないが、S1基板上にはMOSトランジスタが形成されている（図4および5に図示）。

【0053】以下、MOSトランジスタの形成プロセスを含めて、図3、4および5を用いて、探針を有するカンチレバーの形成例を示す。なお、図3、4および5中の各図（（A）～（N））は、図6のB-B断面についてのものである。

【0054】この場合、SOI基板としては、酸化ガスを用いて酸化炉により形成したシリコン酸化膜からなる絶縁層22を有するS1基板21と21aを酸化ガス雰囲気中で酸化炉で加熱して直接接合することによって得たものを用いた（図3（A））。この際、n-MOSを得るために、S1基板はp型ウェハを用いた。絶縁層22の膜厚は500nmとした。

【0055】このようにして得られたSOI基板のS1基板21aを図の上面から研磨し、膜厚2μmのS1薄膜26を形成した（図3（B））。

【0056】次に、S1薄膜をフォトリソグラフィプロセスを用いてパターンニングし、図3（C）に示す犠牲層パターンを形成した。

【0057】次に、その犠牲層パターンを有する基板を酸化ガスを用いて酸化して、酸化膜28を形成した（図3（D））。犠牲層パターン上での酸化膜の厚みは0.5μmとし、それがカンチレバー膜厚となった。それ以外の部分のS1基板21上の酸化膜は、酸化により厚さ1μmとなり、MOSでのフィールド酸化膜42として用いた。

【0058】次に、n-MOSをS1基板21上に形成した。すなわち、図3（E）に示したように、フィール



ド酸化膜42の一部を除去してゲート酸化膜31を形成し、ゲート電極32となる多結晶シリコンをLPCVDにて形成し、パターニングして図4(F)のような構造とした。

【0059】次に、ゲート酸化膜31およびゲート電極32にリンをイオン注入し、拡散炉にて熱処理して、ソースおよびドレインとなる拡散領域33を形成した(図4(G))。

【0060】次に、PSG(リンガラス層)を1 $\mu$ m成膜し、一部をパターニングして第一バッシベーション膜35を形成した。次いで、ソースおよびドレイン電極等の配線電極となるAl電極34を形成し、第二バッシベーション膜36となるa-SiN(1 $\mu$ m)を図4(H)に示すようにSiH<sub>4</sub>とNH<sub>3</sub>の混合ガスによりプラズマCVDにて形成して、n-MOSを得た。フィールド酸化膜を含めたn-MOSの層厚は約3 $\mu$ mであった。

【0061】その後、酸化膜28をパターニングしてカンチレバーパターン23aを形成し(図4(I))、前記カンチレバーパターン23a上に真空蒸着法の一 20 種である電子ビーム蒸着法により同一真空雰囲気中で連続してCr(50nm)とAu(100nm)を成膜し、フォトリソグラフィプロセスにてパターニングして取り出し電極25および駆動電極30を形成した(図4(J))。

【0062】次に、スピントラにより提案された方法を用いて探針24を取り出し電極25上に形成した。その工程を図5を用いて説明する。

【0063】図4(J)で示した基板上にレジストを3 $\mu$ m塗布し、Al膜38を真空蒸着法を用いて成膜し、フォトリソグラフィプロセスを用いてAl膜38にオリフィス39を形成し、酸素ガスを用いたプラズマエッチングによりオリフィス39下部をエッチングした(図5(K))。電子ビーム蒸着法によりAuより成る探針電極層40を成膜し、3 $\mu$ mの高さの探針24を形成し(図5(L))、レジストを溶解する有機溶剤にてリフトオフすることにより除去した(図5(M))。その後、SF<sub>6</sub>によりSiからなる犠牲層パターン27をドライエッチングして空隙29を形成した。

【0064】以上の工程により、図6に示した集積回路を一体化した静電力により変位可能なSTMプローブを形成することができ、そのプローブにおいては、第二バッシベーション面とほぼ同一高さのカンチレバー面を形成することができた。すなわち、本実施例で得られたカンチレバーにおいては、米国特許4,831,614号および5,043,577号明細書に記載の実施例と比較して、探針の高さを低くすることができた(Si基板面に形成したカンチレバーと比較して、探針の高さを約3 $\mu$ m低くすることができた)。

【0065】米国特許4,831,614号明細書に記載のタイ 50

プ、すなわち、基板面のフィールド酸化膜42を用いて作製した探針付きのカンチレバーと本発明の実施例2にて作製したカンチレバーについて(カンチレバー寸法は同一)、Si基板面からの探針先端位置を同一にした場合の各々の共振周波数を測定した。

【0066】その結果、探針がないカンチレバーの共振周波数が共に50kHzであり、探針をつけた場合、前者の従来のタイプ(探針高さ6 $\mu$ m)が15kHzであったのに対して、後者の本発明のカンチレバー(探針高さ3 $\mu$ m)では34kHzとなり、従来の探針付きカンチレバーに比べて共振周波数が約2倍以上となり、著しい改善が認められた。従って、本発明の探針付きカンチレバーを用いて作製したSTMプローブは、検出速度が高いとともに、検出感度が向上している。

【0067】本発明のカンチレバーはバルクのSiを熱酸化することにより作製したことから、Q値が高く、真空蒸着等の方法によって作製されたカンチレバーに比べて薄膜形成過程に生じる真応力(intrinsic stress)が小さく、カンチレバーの反りがほぼないものとなった。

【0068】また、本発明の形成方法によって形成された探針を有するカンチレバーは、Si基板上に形成したトランジスタと集積化することが可能である。本実施例では、n-MOSトランジスタの形成工程についてのみ説明したが、バイポーラトランジスタを含むBi-CMOSプロセスについても同様の方法を用いて形成することが可能である。Bi-CMOSを形成する場合には、埋込層およびエピタキシャル層を形成したSi基板を用いることにより、SOI基板を形成することが可能である。Bi-CMOSにて絶縁分離壁を形成する工程を除けば、n-MOSを形成する工程はほぼ同様のプロセスとなる。

【0069】

【発明の効果】以上説明したように、本発明の方法により、(1)空隙を介して、カンチレバーをSi基板面より高い位置に形成でき、探針の高さを低くでき、共振周波数を高く保つことができ、(2)SOI基板に用いられるSi基板上にトランジスタを形成することで半導体集積回路との集積化が可能となり、(3)カンチレバーがSiを酸化して形成されるシリコン酸化膜からなることから、機械的なQ値を高くすることができ、しかも反りがなく、(4)酸化膜形成後のSi薄膜をプラズマエッチングで除去することで、犠牲層除去の際に問題となる張り付きを回避することができて、生産歩留りを向上させることができる。

【図面の簡単な説明】

【図1】本発明の探針を有するカンチレバーの形成方法の1例(実施例1)を示す工程図である。

【図2】実施例1で製造される探針を有するカンチレバーの概観斜視図である。

【図3】本発明の探針を有するカンチレバーの形成方法

11

の別の例(実施例2)の最初の5段階(工程(A)～(E))を示す工程図である。

【図4】実施例2の工程の中間の5段階(工程(F)～(J))を示す工程図である。

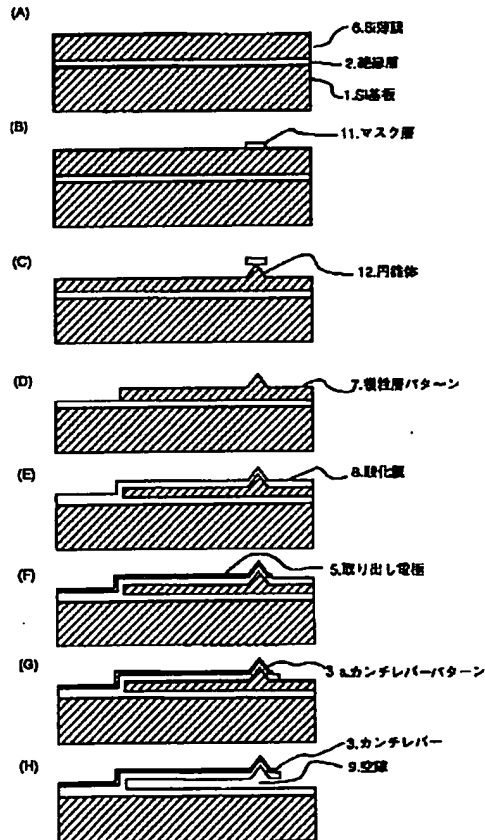
【図5】実施例2の工程の最後の4段階(工程(K)～(N))を示す工程図である。

【図6】実施例2で製造される探針を有するカンチレバーの概観斜視図である。

【符号の説明】

- 1、21、21a Si基板  
2、22 絶縁層  
3、23 カンチレバー  
3a、23a カンチレバーパターン  
4、24 探針  
5、25 取り出し電極  
6、26 Si薄膜  
7、27 犠牲層パターン

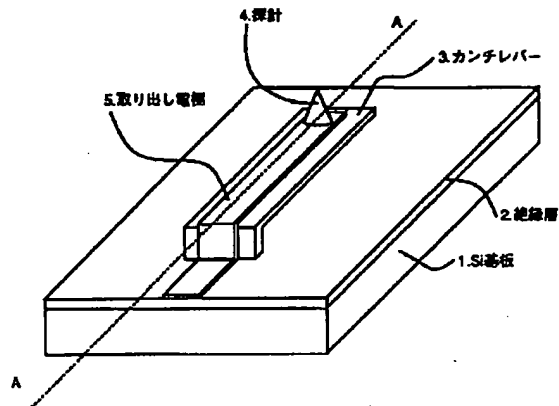
【図1】



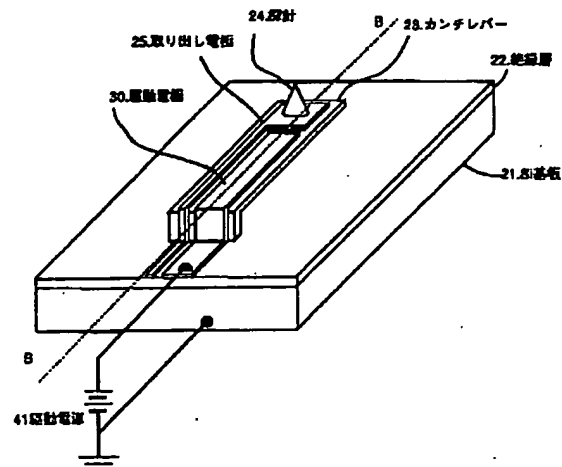
12

- 8、28 酸化膜  
9、29 空隙  
11 マスク層  
12 円錐体  
30 駆動電極  
31 ゲート酸化膜  
32 ゲート電極  
33 拡散領域  
34 Al電極  
10 35 第一パッシベーション膜  
36 第二パッシベーション膜  
37 レジスト  
38 Al膜  
39 オリフィス  
40 探針電極層  
41 駆動電源  
42 フィールド酸化膜

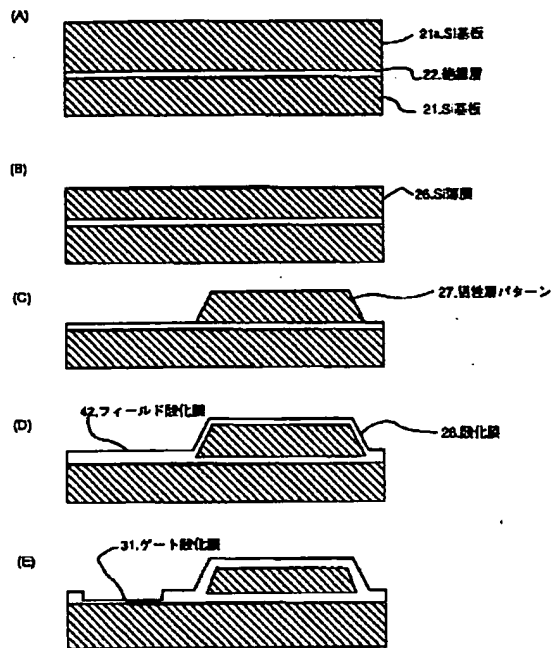
【図2】



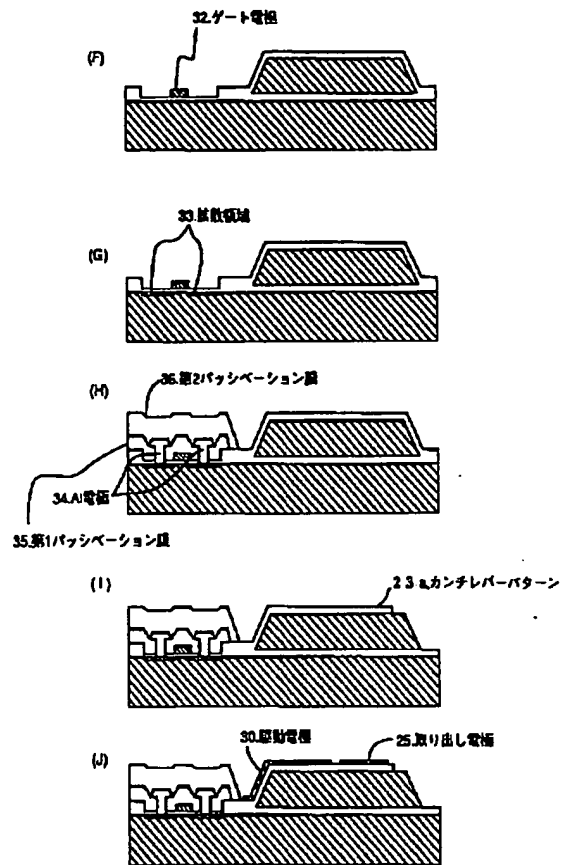
【図6】



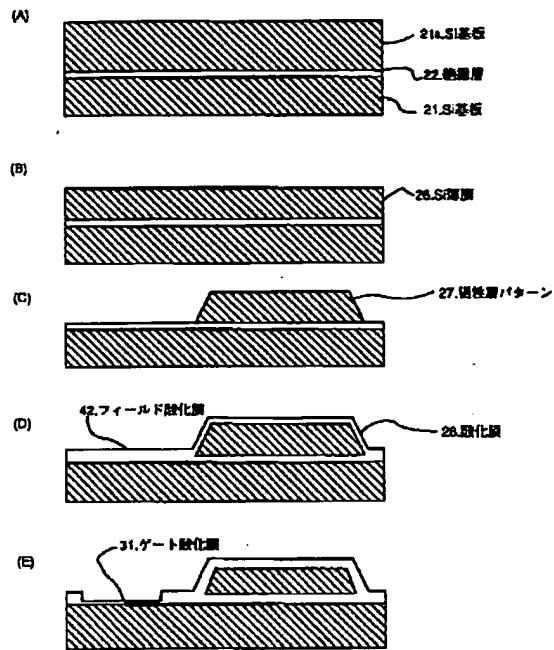
【図3】



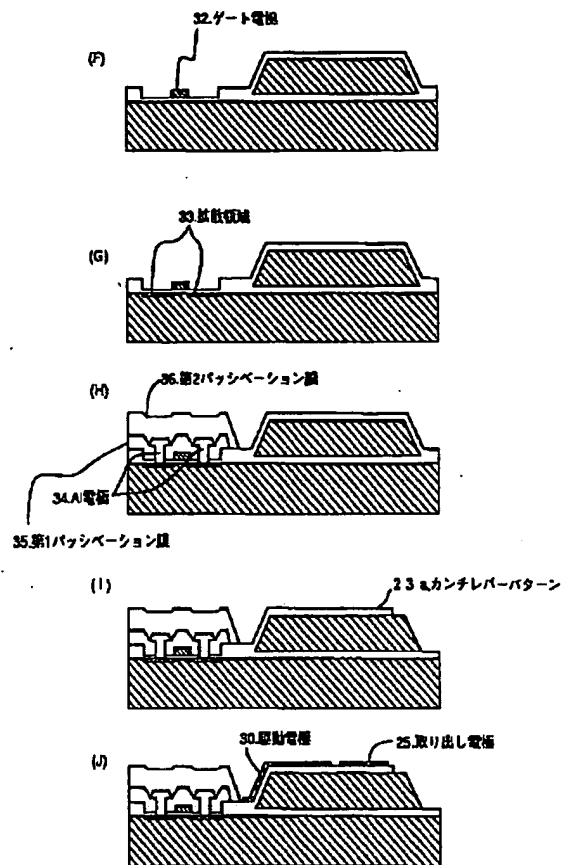
【図4】



【図3】



【図4】



【図5】

